

## Szandtner Zoltán<sup>904</sup>: Új kutatások a félvezető memóriák technológiája és architektúrája területén

### Bevezetés

Az Intel „Platform 2015”-ös előjelzésében a szivárgási áramok okozta hőtermelés után a főtár a processzorhoz képest sokkal nagyobb elérési idejét tartották a számítási teljesítmény növekedés legnagyobb gátjának (1). Ezen problémát szokás „memória falnak” is hívni.

A dolgozat elején egy rövid áttekintést nyújtok a jelenleg fejlesztés alatt lévő, érett memóriatechnológiákról, megmutatom, hogy a fejlődés mely irányok mentén zajlik, összehasonlítom ezek főbb jellemzőit a „memória fal” probléma által felvetett követelmények jegyében.

A technológiák közül az STT-RAM-on részletesebb, szimulációs vizsgálatot végeztem, mind az alkatrész, mind az architektúra szinten, ismertetve a használt eszközök és a mérések jellegzetességeit. A kapott eredmények alapján meghatároztam az STT-RAM nyújtotta memória architektúrák lehetséges képességeit a hagyományos SRAM, DRAM technológiákkal összevetve.

### Új memória-technológiák

Technológiai vonalon, három fő ágra bonthatjuk a fejlesztéseket:

- Meglévő technológiák finomítása
- Előrehaladt kutatások alkalmazása
- Új alap kutatások felhasználása

Áttekintésemben a fenti technológiák közül csak a meglévő és előrehaladt kutatásokra térek ki.

A meglévő technológiák finomítása úgy mond „kondenzátortmentes”, kapacitív dinamikus memóriákat jelent, a TTRAM-ot (*Twin Transistor RAM*) és a T-RAM-ot (*Thyristor RAM*). A TTRAM két *SOI*-n (*Silicone On Insulator*) létrehozott sorba kapcsolt tranzisztorból áll. A második a tranzisztor a kondenzátor szerepét tölti be, a közé a szigetelő közé „szorult” töltést kihasználva (2). A T-RAM a tirisztor természetes *NDR* (*Negative Differential Resistance*) karakterisztikáját használja (3). A gyors „programozhatóságot” a kapura kötött parazitív-kondenzátor teszi lehetővé (4) (5).

Az előrehaladt kutatások mind változtatható ellenállású alkatrészek. Az STT-RAM (*Spin-Transfer Torque RAM*), a névadó spinnyomaték-átvitel (*STT*) mechanizmust használja egy szabad mágneses réteg polaritásának változtatására. A kiolvasás elve megegyezik a magneto-rezisztoros olvasófejekével. Az RRAM (*Resistive RAM*) a változtatható vezetőségű ellenállás segítségével tárol információt. Formázással szálvezetést hozunk létre, amit *reset*-tel részben megszüntetünk. Ezután már kisebb feszültséggel lehet vezetést létrehozni (6).

### A memória-technológiák összehasonlítása

A memória-technológiák összehasonlítását cella szinten érdemes elkezdni, mivel tömb vagy bank szinten már a kapcsolóhálózat is nagymértékben befolyásolja a működést. Cella szinten az írási és olvasási műveletek közti időkülönbség már jelentős lehet, s tipikusan az utóbbi lassabb. Összehasonlító táblázatomban ezért elérési idő helyett a kapcsolási időket írtam. A kapcsolási idő az az idő mialatt a cella tároló elemei állapotot váltanak, azaz a  $0 \rightarrow 1$  és  $1 \rightarrow 0$  írási műveletek ideje. A két művelet eltérő időigényű is lehet. (1. táblázat)

<sup>904</sup> mérnök informatikus hallgató, Gábor Dénes Főiskola

Memória	SRAM (7)	DRAM (7)	TTRAM (2)	T-RAM (4) (5)	SST-RAM (8)	RRAM (6)
Kapcsolási idő	0,5 ns	2–10 ns	2–10 ns	0,7 ns	0,5–20 ns	5–10 ns
Üzem mód	statikus	dinamikus	dinamikus	dinamikus	perzisztens	perzisztens
Alkarész/cella	6T	1T1C	1T1T	1T1r	1T1R	1T1R
Frissítési idő	N/A	≤64 ms	64–2000 ms	266–1500 ms	N/A	N/A
Írható/bit	∞	∞	∞	∞	>10 <sup>13</sup>	10 <sup>6</sup> –10 <sup>10</sup>
Maximum kapacitás/chip	64 KB–16 MB	4–8 GB	nem ismert	nem ismert	4–16 MB	1 TB

1. táblázat: Új memória-technológiák

Jelen kutatás kritériumai szerint a TTRM és utódja, a Z-RAM technológiák kis jelszint különbségük miatt meghaladtak, de egy esetleges energiafogyasztást is vizsgáló kutatásban még jól szerepelhetnek. Egyszerűsége, sűrűsége és sebessége folytán a T-RAM rendkívül ígéretes akár főtár akár cache-ként. Sajnos a technológiáról több éve nem született új cikk, így további vizsgálata nem volt lehetséges.

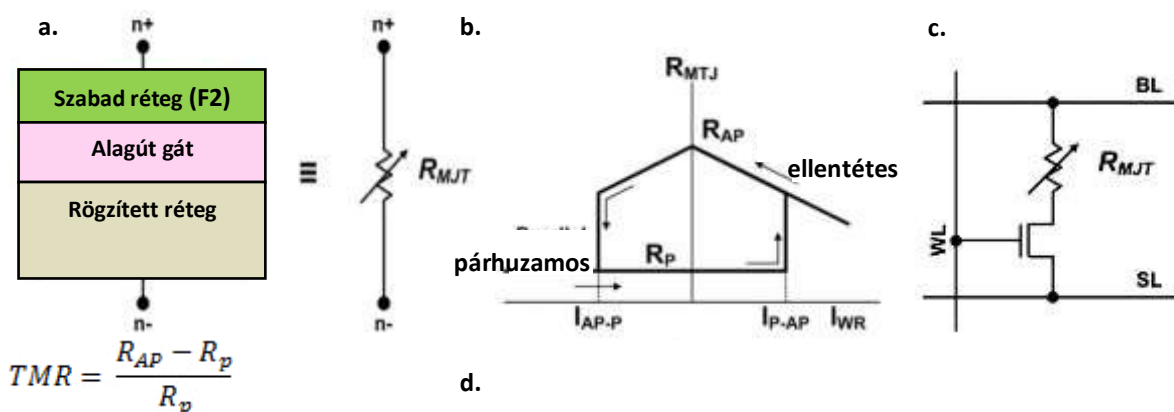
A másik két technológia perzisztens természete folytán további előnyökkel is járhat. Közülük az RRAM olcsóbb, várhatóan nagyobb kapacitású, de csak 10<sup>6</sup>–10<sup>10</sup> írást visel el bitenként, szemben a drágább STT-RAM >10<sup>13</sup> értékével, ezért az STT-RAM alkalmasabb DRAM alkalmazásokhoz, míg az RRAM háttértárként sokkal gazdaságosabb.

A fenti okokból az STT-RAM volt a legígéretesebb technológia mélyebb vizsgálatra.

### Az STT-RAM működése

Az STT-RAM az MRAM (*Magnetoresistive RAM*) második generációja.

Az MRAM-ban, az adatot egy mágneses alagútkontaktus (*Magnetic Tunneling Junction* = MTJ) mágneses rétegeinek polarizációja hordozza. Az MTJ egy szigetelő réteggel elválasztott rögzített és egy szabad mágnesezettségű rétegből áll (1. ábra - a.).



1. ábra: Egyszerűsített STT-RAM cella [8]

Párhuzamos polaritás (R<sub>p</sub>) esetén alacsony, az ellentétes polaritás (R<sub>ap</sub>) esetén magas az eszköz ellenállása (1. ábra - b). A különféle MTJ-eket szokás alagutazó mágneses ellenállás arányukkal is jellemezni (*Tunneling Magnetoresistance Ratio* = TMR, 1. ábra - d.). Leszámítva, hogy kondenzátor helyett MTJ-t használunk, a memória cella felépítése megegyezik a DRAM-ével. A legegyszerűbb

kiolvasás itt is referenciacellák használatával történik (1. ábra – c), de a DRAM-mal ellentétben feszültség helyett áramerősséget mérünk.

A második generációs MRAM, az STT-RAM az első generáció közvetlen indukciója helyett az STT jelenséget használja, ahol egy rögzített mágneszettségű, szerepe miatt gyakran spin szűrőnek is nevezett mágneses rétegen áthaladó áram spin polarizálttá válik, s képes lesz a vékony, szabad réteg mágneszettségének kilendítésére, irányváltására. Mivel az írás indukció helyett áram segítségével történik, ez nem befolyásolja a környező cellák állapotát. További előny, hogy az új cella feszültség és áramerősség értékei CMOS kompatibilisek, ami nagyban felgyorsította a fejlesztéseket.

### Mérések menete

Az új eszközök litográfias gyártása meglehetősen drága, ezért a szimulációs eszközök használata ma már a fejlesztéseknek is integrált része. Az architektúra szintű szimulációs eszközök az alacsonyabb szintű szimulációk, mérések eredményeit bemenő paraméterként használják így először cella szintű méréseket kell végezni.

Méréseim elsősorban a University of Virginia, „The STeTSiMS: STT-RAM Simulation and Modeling System” (STeTSiMS) cikkében közölt alkatrész adatokra támaszkodnak (9). Ennek oka, hogy a tanulmány rendszerezve és egymáshoz képest normalizálva tartalmazza a mérésekhez szükséges bemeneti paramétereket, melyeket az irodalom jelentős része csak hiányosan és modellezési sajátosságokból adódóan nem összehasonlítható formában közöl.

Az áramkör szimulációban a Berkeley SPICE és változatai gyakorlatilag etalonnak számítanak, így cella szintű méréseimet én is egy ilyen eszközzel, az NVMSpice szoftverrel végeztem (10).

Ezt követően a STeTSiMS adatokat felhasználva NVSim méréseket szeretnék végezni. Akárcsak az STeTSiMS-ben használt CACTI 6.3, az NVSim is egy statikus memóriaarchitektúra-modellező eszköz. A CACTI-val ellentétben a Penn State University munkatársai által fejlesztett NVSim képes olyan paraméterek finomhangolására is, amikre a CACTI csak az SRAM/DRAM rögzített ipari paramétereit tudja használni (11).

### A SPICE mérések fizikai modellje

A mérésekhez az NVMSpice beépített kompakt modelljét használtam (12), de a modell paramétereink megértését nagyban segíti a SPICE modell alapját képező fizikai modell ismerete.

A szabad réteg mágneszettségét ( $\vec{M}$ ) a szakirodalomból ismert Landau–Lifshitz–Gilbert (LLG) egyenlet írja le (13) :

$$\frac{d\vec{M}}{dt} = \underbrace{-\gamma\mu_0\vec{M} \times \vec{H}_{eff}}_{\text{Zeeman}} - \underbrace{\gamma\frac{2k}{M_s^2}(\vec{M} \cdot \vec{u}_{sa}) \cdot (\vec{M} \times \vec{u}_{sa})}_{\text{Anizotróp}} + \underbrace{\frac{\alpha}{M_s}\vec{M} \times \frac{d\vec{M}}{dt}}_{\text{Csillapítás}} + \underbrace{\eta\frac{\mu_B I}{eV}}_{\text{STT}} \quad (1)$$

$M_s$  = mágneses saturáció, eszközjellemző

$\gamma = 1.76 \cdot 10^{11} \frac{rad}{\text{giromágneses állandó}}$

$\mu_0 = 4\pi \cdot 10^{-7} \frac{H}{m}$  vákuum permeabilitás

$\mu_B \approx 9.27 \cdot 10^{-24} \frac{J}{T}$  = Bohr magneton

$\vec{H}_{eff}$  = effektív külső mágneses tér

$K$  = anizotrópia konstans, anyagjellemző

$\alpha$  = csillapítási konstans

$\eta \approx 1$  = spin-átvitel hatásfoka

$e \approx 1,6 \cdot 10^{-19}$  = elemi töltés

Mivel a mágneszettség nagysága nem, csak iránya változik, a fenti egyenletet felírhatjuk polárkoordinátákkal is. Egyrészt, a hasznos munkát végző,  $\theta$  szöggel jellemzett kapcsoló komponensre

$$M_s \frac{d\theta}{dt} = \alpha M_s \frac{d\varphi}{dt} + \eta \frac{\mu_B I}{eV} \quad (2)$$

másrészt a  $\varphi$  szöggel jellemzett forgató komponensre bontjuk az LLG egyenletet:

$$M_s \frac{d\varphi}{dt} = -\gamma\mu_0 M_s H \sin\theta - 2\gamma K \sin\theta \cos\theta \quad (3)$$

A felbontás azért hasznos, mivel a  $\theta$  szög a legjobb paraméter, amiből az eszköz belső állapotára következtethetünk. Az írás csak akkor sikeres, ha a szabad réteg mágnesezettsége átbillent és stabilizálódott és  $\theta$  ezt jellemzi. Az MTJ ellenállása a belső állapoton kívül, még rákapcsolt feszültségtől és a függ (10):

$$R(\theta) = R_p + \frac{R_{ap} + R_p}{2} (1 - \cos\theta) \quad (4)$$

$$\begin{cases} R_p(V) = \frac{R_{p0}}{1 + c_p V^2} \\ R_{ap}(V) = \frac{R_{ap0}}{1 + c_{ap} V^2} \end{cases} \quad (5)$$

Az ellenállást leíró (4)-es és (5)-ös egyenletek paraméterei a következők:

$R_p$ = párhuzamos állapot ellenállása.	$c_p$ = párhuzamos állapot feszültségarányossági tényezője.
$R_{ap}$ = ellentétes állapot ellenállása.	$c_{ap}$ = ellentétes állapot feszültségarányossági tényezője.
$R_{p0}$ = $R_p$ értéke 0 V-nál.	
$R_{ap0}$ = $R_{ap}$ értéke 0 V-nál.	

### NVMSpice mérések

Az NVMSpice kompakt fizikai modellt használ, s ténylegesen az LLG egyenletet oldja meg. Mint minden SPICE eszköznél, a mérést netlistával írjuk le (2. ábra), amely a komplex alkatrészek modelljeinek és paramétereinek definíciójából és a kapcsolási rajz csomópontos leírásából áll.

A mérésekhez használt netlistában egy elemi cella kapcsolási rajzát definiáltam (3. ábra). A használt MTJ alkatrész paraméterei következő módon feleltethetők meg a fizikai modell paramétereinek:

$$\begin{array}{llll} ms = M_s & hk = H_k = \frac{2K}{\mu_0 M_s} & rl = R_{p0} & vcp = c_p \\ damping = \alpha & & rh = R_{ap0} & vcap = c_{ap} \end{array}$$

\*MTJ modell és paraméterek

```
.model nv_perp sttmjtj vcp=0 vcap=0 ms=530k hk=1671k rh=23k rl=14k
damping=0.005
```

\* tranzistor modell

```
.model nmos nmos level=54 version=4.7.0
```

\* BL feszültség

```
v1 nvdd 0 pwl(0 0 5ns 0 6ns 1.2v)
```

\* WL feszültség

```
vcontrol g 0 pwl(0 0 4ns 0 5ns 1.2v)
```

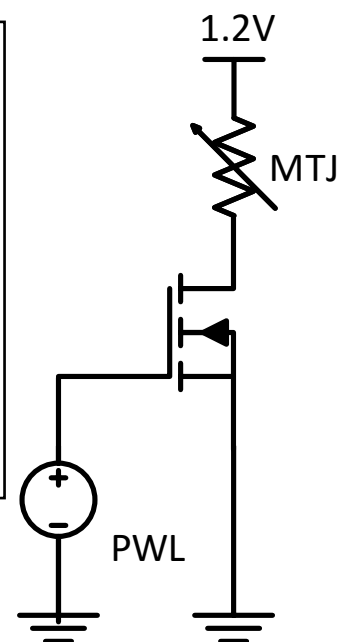
\* tranzistor kapcsolása

```
m1 d g 0 0 nmos l=90n w=2u
```

\* MTJ kapcsolása, belső paraméter megadása

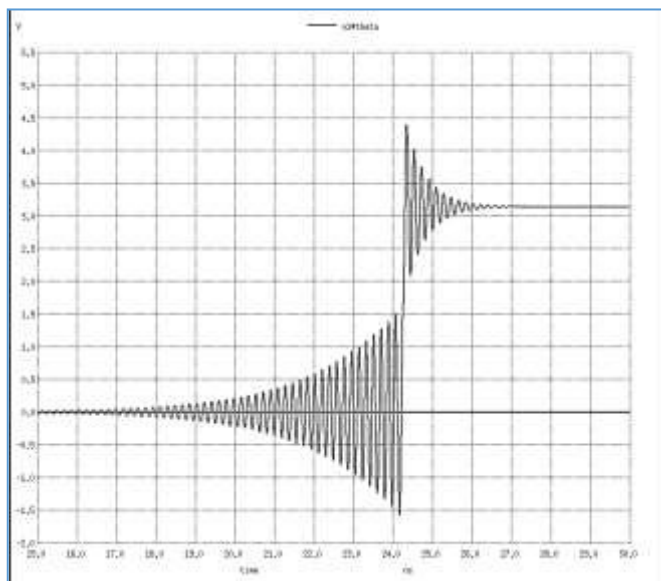
```
n1 sttmjtj nvdd d nvmod2 theta0=0.01
```

2. ábra: NVMSpice mérés netlistája



3. ábra: NVMSpice mérés kapcsolási rajza

Mivel a STeTSiMS paraméterek közt nem adtak meg  $C_p$ ,  $C_{ap}$  paramétereket, így a mérés során



4. ábra:  $\vartheta$  változása az NVMSpice mérés során

elteljesítettem az MTJ ellenállásának feszültségfüggésétől. A mérések során felfutó állandó feszültségű jelekkel vizsgáltam a cellát. A tranzisztort vezérlő feszültség a mérés kezdete után 5 ns-nál, az MTJ írófeszültség 6 ns-nál vesz fel stabil értéket. Diagramot készítettem az MTJ  $\theta$  szög állapotáról (4. ábra). A diagramból megállapítom, hogy  $\theta$  átbillent és stabilizálódott, és hogy mekkora idő alatt zajlott le a folyamat.

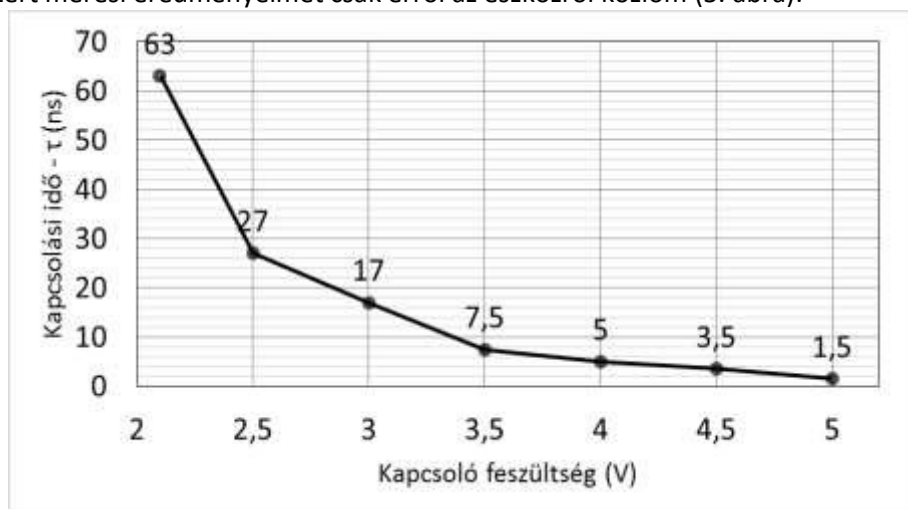
Háromféle eszközt vizsgáltam, egy eszközsíkbeli (*in-plane*), egy részben síkra merőleges (*in-plane PPA – Partial Perpendicular Anisotropy*) és egy síkra merőleges anizotrópiájút (*perpendicular*) (2. táblázat).

	Normalizált paraméterek			NVMSpice SI mértékegységeire alakítva		
	In-plane	In-plane PPA	Perpendicular	In-plane	In-plane PPA	Perpendicular
<b>hk</b>	500 Oe	220 Oe	21 kOe	40 kA/m	17,5 kA/m	1671 kA/m
<b>ms</b>	1050 emu/cm <sup>3</sup>	808 emu/cm <sup>3</sup>	530 emu/cm <sup>3</sup>	1050 kA/m	808 kA/m	530 kA/m
<b><math>\alpha</math></b>	0.02	0.015	0.005	0.02	0.015	0.005
<b>rl</b>	0.14 k $\Omega$	0.57 k $\Omega$	14 k $\Omega$	0.14 k $\Omega$	0.57 k $\Omega$	14 k $\Omega$
<b>rh</b>	0.36 k $\Omega$	1.14 k $\Omega$	23 k $\Omega$	0.36 k $\Omega$	1.14 k $\Omega$	23 k $\Omega$
<b><math>\Delta</math></b>	60	60	61	60	60	61

2. táblázat: MTJ paraméterek (9)

A mérések során a STeTSiMS mérésektől részben eltérő eredményeket kaptam. A kapcsolás eléréséhez nagymértékben nagyobb író feszültséget kellett használnom. Ezt feltehetően az állandó ellenállás okozta, mivel így a feszültséggel fordítottan arányosan nem esett az ellenállás, ami miatt a szükséges áramerősséget csak jóval nagyobb feszültségek mellett érték el az eszközök. Az *in-plane* MTJ-nél legalább 2.1V, a *perpendicular* MTJ-nél egy nagyon magas 8–9V feszültséget kellett alkalmazni.

A kapcsolási feszültség értékek oly nagymértékben tértek el a referencia mérésektől, hogy a három eszköz így már nem összehasonlítható és a használt modell pontossága is kérdésessé vált. Fölvettem a kapcsolatot az NVMSpice egyik fejlesztőjével, Yuhao Wanggal. Ő megerősítette, hogy az NVMSpice ugyan friss eszköz, de a használt diszkrét modell régebbi, így csak az *in-plane* eszköz szimulációjára alkalmas, ezért mérési eredményeimet csak erről az eszközről közlöm (5. ábra):



4. ábra: In-Plane MTJ kapcsolási ideje az író feszültség függvényében

A mért eredmények, még ennél az eszköznél is jelentős mértékben eltértek a STeTSiMS mérési eredményektől. Ennek oka a korábban említett feszültségáramviszonyok mellett a hőmozgás okozta instabilitás hatásának elhagyása volt. A modellben ez csak  $\theta$  szög kezdeti értékének növelésével közelíthető és a méréskor még nem találtam olyan összefüggést, amely kapcsolatot teremtett volna a STeTSiMS  $\Delta$  eszközjellemző paramétere és a kezdeti  $\theta$  szög közt.

A fenti paraméterek, a kapcsolófeszültség értékét mind lefelé befolyásolják, így figyelembevételükkel várhatóan alacsonyabb feszültségértékek mellett is megtörténik a kapcsolás és az gyorsabban zajlik le.

### NVSim mérések

Mivel a cella szintű mérésekkel nem sikerült a STeTSiMS méréseket reprodukálni, így még nem állnak rendelkezésre a szükséges SET, RESET áramerősség és idő értékek, ezért az architektúra szintű vizsgálatok előtt más publikált bemeneti paramétereket kell használni, vagy a cella szintű méréseket kell finomítani a STeTSiMS paraméterek helyett saját paraméterek használatával az eredeti fizikai MTJ alkatrész-paraméterekre támaszkodva.

Magának az NVSim-mel más paraméterekkel már végeztem példaméréseket, így egyedül a megfelelő bemeneti paraméterek akadályozták meg a statikus architektúra szintű vizsgálatban.

### Konklúzió

A kutatásom során:

- Irodalomkutatás segítségével összehasonlítottam a mai technológiákat.
- Cella szintű méréseket végeztem több különböző MTJ paraméterű szimulált eszközön.
- Megismerkedtem az NVMSpice és NVSim szimulációs eszközökkel és bennük az STT-RAM vizsgálatához szükséges modellek jellegzetességeivel.

A kutatás megteremtette a további vizsgálatokhoz szükséges mérési környezetet, s áttekintő jellege révén megkönnyíti a további hasonló kutatások folytatását, meghatározza melyek azok a kritikus paraméterek, amelyekre a szimulációs mérések során szükség van.

Akár minimális forrásokkal is nagyban növelhető a jövőben a kutatás eredményessége, ha ezek segítségével gyorsabb és közvetlenebb hozzáférést kaphatok a mindenkori friss irodalomhoz.

### Irodalomjegyzék

1. R. M. Ramanathan and Vince Thomas (editors), Intel Corporation. *Platform 2015: Processor and Platform Evolution for the Next Decade*. s.l. : Intel Corporation, 2005. Whitepaper.
2. *A High-Density Scalable Twin Transistor RAM (TTRAM) With Verify Control for SOI Platform Memory IPs*. Arimoto, K., és mtsai. 11, hely nélk. : IEEE, 2007. Nov., Solid-State Circuits, IEEE Journal of, 42. kötet, old.: 2611,2619. doi: 10.1109/JSSC.2007.907185.
3. *Negative Differential Resistance Circuit Design and Memory Applications*. Chen, Shu-Lu, Griffin, Peter B. és Plummer, James D. 4, Electron Devices, IEEE Transactions on : IEEE, 2009. April, 56. kötet, old.: 634,640. doi: 10.1109/TED.2009.2014194.
4. *Embedded Volatile Memories*. Farid Nemati, CTO T-RAM Semiconductor Inc. IEEE International Conference for Computer Aided Design (ICCAD) 2008 : IEEE, 2008.
5. *A novel capacitor-less DRAM cell using Thin Capacitively-Coupled Thyristor (TCCT)*. Cho, Hyun-Jin, és mtsai. Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International : IEEE, 2005. old.: 311,314. doi: 10.1109/IEDM.2005.1609337.
6. Sekar, Deepak C. *Resistive RAM: Technology and Market Opportunites*. Monolithic 3D Inc : NuPGATM Corporation, 2010. IEEE Santa Clara Valley Electron Devices Society.
7. Intel Corporation. *Performance Analysis Guide for Intel® Core™ i7 Processor and Intel® Xeon™ 5500 processors*. 2008-2009. Performance Analysis Guide.
8. *A Scaling Roadmap and Performance Evaluation of In-Plane and Perpendicular MTJ Based STT-MRAMs for High-Density Cache Memory*. Chun, Ki Chul, és mtsai. 2, Solid-State Circuits, IEEE Journal of : IEEE, 2013. February, 48. kötet, old.: 598,610. doi: 10.1109/JSSC.2012.2224256.
9. *The STeTSiMS STT-RAM simulation and modeling system*. Smullen, C.W., és mtsai. Computer-Aided Design (ICCAD), 2011 IEEE/ACM International Conference on : IEEE, 2001. old.: 318,325. doi: 10.1109/ICCAD.2011.6105348.

10. Yu, Hao & Wang, Yuhao,. Chapter 3 - Nonvolatile State Identification and NVM SPICE. *Design Exploration of Emerging Nano-scale Nonvolatile Memory*. New York : Springer Science+Business Media, 2014.
11. *NVSim: A Circuit-Level Performance, Energy, and Area Model for Emerging Nonvolatile Memory*. Dong, Xiangyu, és mtsai. 7, Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on : IEEE, 2012. July, 31. kötet, old.: 994,1007. doi: 10.1109/TCAD.2012.2185930.
12. Mark D Stiles, Jacques Miltat. Spin-Transfer Torque and Dynamics. *Spin Dynamics in Confined Magnetic Structures III*. Berlin : Springer Berlin Heidelberg, 2003, old.: 225-308.
13. *Compact modeling of STT-MTJ for SPICE simulation*. Xu, Zihan, és mtsai. Bucharest : Solid-State Device Research Conference (ESSDERC), 2013. old.: 338,341. doi: 10.1109/ESSDERC.2013.6818887.
14. Larry A. Crum. University of Washington. 4 Memory Cache. *TCSS 372A Computer Architecture (Fall 2009)*. [Online] 2009. Lecture Note Diagrams. [http://faculty.washington.edu/lcrum/TCSS372AF09/4\\_Memory\\_Cache.ppt](http://faculty.washington.edu/lcrum/TCSS372AF09/4_Memory_Cache.ppt).
15. Zihan Xu, Ketul Sutaria, Chengen Yang, Chaitali Chakrabarti, Yu (Kevin) Cao. *SPICE Modeling of STT-RAM for Resilient Design*. Zihan Xu, 5th International MOS-AK/GSA Workshop, Sanfrancisco : School of ECEE, ASU, 2012.